

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-291944

(43)Date of publication of application : 16.10.1992

(51)Int.Cl.

H01L 21/90

H01L 21/265

H01L 21/336

H01L 29/784

(21)Application number : 03-057467

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.03.1991

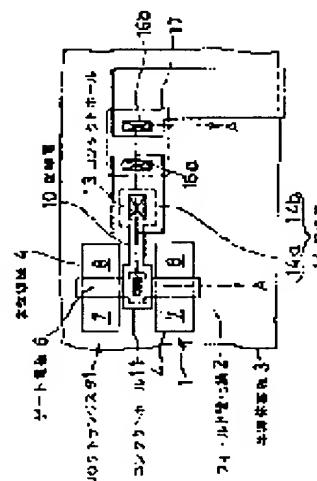
(72)Inventor : HASHIMOTO KOICHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To keep a gate insulating film in a satisfactory state at the formation process of a semiconductor device regarding the semiconductor device provided with a multilayer interconnection structure connected to an insulated-gate field-effect transistor.

CONSTITUTION: The title device is constituted by including the following: a first interconnection layer 14 divided in a region where an interconnection layer for voltage application use is not arranged; a second interconnection layer 17 which connects individual divided regions of said first interconnection layer 14 to each other from the upper part; and an insulated-gate field-effect transistor 1 which is provided with a gate electrode connected to said first interconnection layer 14 and with a gate insulating film 5.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-291944

(43) 公開日 平成4年(1992)10月16日

(51) Int. Cl.<sup>3</sup>

H 0 1 L 21/90  
21/265  
21/336

識別記号

庁内整理番号

F I

技術表示箇所

B 7353-4M

7738-4M

8225-4M

H 0 1 L 21/ 265

29/ 78

N

3 0 1 Z

審査請求 未請求 請求項の数5(全21頁) 最終頁に続く

(21) 出願番号 特願平3-57467

(22) 出願日 平成3年(1991)3月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 橋本 浩一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 岡本 啓三

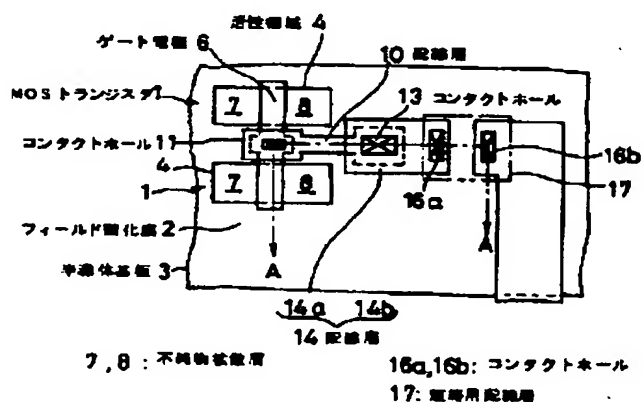
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 絶縁ゲート型電界効果トランジスタに繋がる多層配線構造を備えた半導体装置に関し、半導体装置の形成工程においてゲート絶縁膜を良好な状態に保持することを目的とする。

【構成】 電圧印加用配線層を配置しない領域で分割された第1の配線層14と、前記第1の配線層14の各分割領域の相互を上から接続する第2の配線層17と、前記第1の配線層14に接続されるゲート電極6及びゲート絶縁膜5を備えた絶縁ゲート型電界効果トランジスタ1とを含み構成する。

本発明の第1実施例装置を示す平面図



(2)  
(2).

2

## 【特許請求の範囲】

【請求項1】ゲート電極(6)に連絡する配線層(14)を有し、該配線層(14)は、該ゲート電極(6)に連絡する端部近傍にて分割されるとともに、各分割領域の相互が該分割領域よりも上層に形成されている短絡用配線層(17)を介して接続されてなる絶縁ゲート型電界効果トランジスタを備えたことを特徴とする半導体装置。

【請求項2】前記ゲート電極(6)と前記配線層(14)は、該配線層(14)とは異なる配線層(10)を介して接続されてなることを特徴とする請求項1記載の半導体装置。

【請求項3】最上層に形成された配線層(34)であって、ゲート電極(6)に連絡するとともに、一端に外部回路接続用のパッド(31)が形成された配線層(34)を有し、該配線層(34)は、該パッド(31)の近傍にて分割されるとともに、各分割領域の相互が短絡用配線層(36)にて上から接続されてなる絶縁ゲート型電界効果トランジスタを備えたことを特徴とする半導体装置。

【請求項4】前記配線層(14、34)は、隣接する複数の溝により複数箇所にて分割され、該複数の溝に跨がって該溝を被覆する絶縁膜(15)と、該絶縁膜(15)を被覆するとともに、分割領域の相互を上から接続する短絡用配線層(17、36)とを有することを特徴とする請求項1乃至3記載の半導体装置。

【請求項5】複数の前記配線層(14、34)が互いに平行に形成されてなり、各配線層(14、34)は、その分割箇所が互いに隣接しないように各々分割されていることを特徴とする請求項1乃至4記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置に関し、より詳しくは、絶縁ゲート型電界効果トランジスタに繋がる多層配線構造を備えた半導体装置に関する。

【0002】LSIの微細化に伴ってパターン転写精度を向上させる必要があるために、配線等を加工・形成するエッチング方法としてRIE(reactive ion etching)法等の異方性ドライエッチングが多用されている。

【0003】また、エッチングマスクとして使用したレジストを除去する場合に、酸素を主とするプラズマを用いるプラズマアッシング法が多用されている。

【0004】これらはイオンやプラズマを利用しているが、半導体集積回路の製造工程においては他にもイオン注入やスパッタエッチング等、多くのプラズマプロセス、イオンプロセスを経ることになる。

## 【0005】

【従来の技術】図16(A)、(B)は、半導体装置におけるMOSトランジスタTr及びその周辺の配線層の平面構造及び断面図を示すもので、ゲート電極aの両側の半導体層bにはソース、ドレイン用の不純物拡散層cが形成され、また、ゲート電極aの上には、層間絶縁膜eのコン

タクトホールfを通して第1の配線層dが接続され、さらに第1の配線層dの上には、層間絶縁膜hのコンタクトホールiを通して第2の配線層gが接続されている。

【0006】このように配線層d、gを多層構造にしているのは、回路形成に必要な配線を流れる電流、配線抵抗による電圧降下の許容量や、配線の浮遊容量と抵抗による信号遅延、過渡特性の回路設計的な要求を満たしつつ、複雑な回路の配線をトポロジ的に形成するためであり、あるいはASICのような短手番品の配線を自動化するためである。

## 【0007】

【発明が解決しようとする課題】ところで、LSIの高集積化にともなってMOSトランジスタTrは微細化されてきており、ゲート電極aと半導体層bの間に設けられるゲート絶縁膜jも比例縮小的に薄くなっている。

【0008】このため、図16(B)に示すように、面積が大きい第2の配線層gの上に例えばプラズマCVD法によって絶縁膜kを形成すると、プラズマによる電荷が配線層d、g及びゲート電極aを伝達してゲート絶縁膜jに到達し、これにより加わる電氣的ストレスによって薄いゲート絶縁膜jが劣化したり、最悪の場合には破壊することがある。

【0009】また、第2の配線層gをバタニングする際に図16(C)に示すように、エッチング後に酸素プラズマを用いたアッシングによりレジストnを除去すると、イオンのもつ電荷がその下の第1の配線層dを通過してゲート電極aに到達し、薄いゲート絶縁膜jに劣化や絶縁破壊を生じさせる原因となる。

【0010】さらに、その第2の配線層gが、図17に示すような最上層の配線パッド1に該当する場合には、配線パッド1の上にCVD法等によりパッシベーション膜mが形成されるが、この膜の形成の際に、面積の大きな配線パッド1がプラズマやイオンを受けるため、その下の配線層を介して多量の電荷がゲート電極に移動することになる。

【0011】このような問題は、膜の形成やアッシングの際に生じるだけでなく、配線導体パターンのエッチングやパッシベーション膜にボンディング窓を開く工程等にも発生し、電氣的ストレスは、アンテナ比(ゲート電極に導通する配線導体の面積/ゲート電極の面積)が大きくなるほど強くなることがわかってきた。

【0012】これに対して、プラズマやイオンの発生量を少なくして電氣的ストレスを低減することもある程度可能であるが、パターン形状の悪化、エッチング残渣又はアッシング残渣が生じるといった不都合がある。

【0013】本発明はこのような問題に鑑みてなされたものであって、半導体装置の形成工程においてゲート絶縁膜を良好な状態に保持できる配線構造を有する半導体装置を提供することを目的とする。

## 【0014】

【課題を解決するための手段】上記した課題は、図1に例示するように、ゲート電極6に連絡する配線層14を有し、該配線層14は、該ゲート電極6に連絡する端部近傍にて分割されるとともに、各分割領域の相互が該分割領域よりも上層に形成されている短絡用配線層17を介して接続されてなる絶縁ゲート型電界効果トランジスタを備えたことを特徴とする半導体装置によって達成する。

【0015】または、前記ゲート電極6と前記配線層14は、該配線層14とは異なる配線層10を介して接続されてなることを特徴とする前記半導体装置によって達成する。

【0016】または、図8、11に例示するように、最上層に形成された配線層34であって、ゲート電極6に連絡するとともに、一端に外部回路接続用のパッド31が形成された配線層34を有し、該配線層34は、該パッド31の近傍にて分割されるとともに、各分割領域の相互が短絡用配線層36にて上から接続されてなる絶縁ゲート型電界効果トランジスタを備えたことを特徴とする半導体装置によって達成する。

【0017】または、図3(f)、図11(b)に例示するように、前記配線層14、34は、隣接する複数の溝により複数箇所に分割され、該複数の溝に跨って該溝を被覆する絶縁膜15と、該絶縁膜15を被覆するとともに、分割領域の相互を上から接続する短絡用配線層17、36とを有することを特徴とする前記半導体装置によって達成する。

【0018】または、図15に例示するように、複数の前記配線層14、34が互いに平行に形成されてなり、各配線層14、34は、その分割箇所が互いに隣接しないように各々分割されていることを特徴とする前記半導体装置により達成する。

## 【0019】

【作 用】第1の発明によれば、分割された配線層14を、その上層に形成される短絡用配線層17によって接続するようにしているために、その配線層14のうちアンテナ比に寄与する領域はゲート電極6に繋がっている部分だけとなり、この層におけるプラズマ/イオン処理の際にゲート電極6に入り込む電荷量は少なくなり、ゲート絶縁膜5の劣化や絶縁破壊は抑制される。

【0020】この場合、配線層14の上に形成する短絡用配線層17は、分割された配線層14を繋ぐだけであって、その面積を狭くしてアンテナ比を小さくすることが可能になり、その面上におけるプラズマ/イオン処理による影響は少なくできることが重要である。

【0021】また、第2の発明によれば、複数の配線層14を介してゲート電極6と所定の配線層とを接続するようにしているために、アンテナ比がさらに小さくなる。

【0022】また、第3の発明によれば、パッド31に接続される最上層の配線層17を分割しているために、広い

面積のパッド31によるアンテナ比は小さくなって、プラズマ/イオン処理によるゲート絶縁膜5の劣化、絶縁破壊は抑制される。

【0023】また、第4の発明によれば、配線層14を複数に分割し、その上層に設けた短絡用配線17によって接続するようにしているために、複数のトランジスタに繋がる配線層を形成する場合に、各トランジスタのアンテナ比は小さくなる。

【0024】第5の発明によれば、平行に形成された配線層の分割領域が隣接しないようにしているために、短絡配線相互の間隔を広くとれることになり、平行配線層の間隔を広げる必要はなくなる。

## 【0025】

【実施例】(a) 本発明の第1の実施例の説明

図1は、本発明の第1の実施例を示す平面図、図4(i)は、そのA-A線断面図である。

【0026】図において符号1は、フィールド酸化膜2に囲まれた一導電型半導体基板3の活性領域(素子形成領域)4に形成されたMOSトランジスタで、このMOSトランジスタ1は、半導体基板3の上にゲート絶縁膜5を介して形成されたゲート電極6と、その両側に形成されたソース/ドレイン用の反対導電型不純物拡散層7、8とから構成されている。

【0027】そして、SiO<sub>2</sub>等の層間絶縁膜9に覆われた2つのMOSトランジスタ1のゲート電極6の接続領域には、その層間絶縁膜9上の第一の配線層10が第一のコンタクトホール11を通して接続されている。

【0028】12は、第一の配線層10の上に形成されたSiO<sub>2</sub>等よりなる第二の層間絶縁膜で、この上には、第二のコンタクトホール13を通して第一の配線層10と接続する第二の配線層14が形成され、この第二の配線層14は第二のコンタクトホール13の近傍で分割されている。

【0029】15は、第二の配線層12を覆う第三の層間絶縁膜で、この層間絶縁膜15には、分割された第二の配線層14の各領域14a、14bを個々に露出する第三、四のコンタクトホール16a、16bが形成され、これらのコンタクトホール16a、16bには第三の層間絶縁膜15の上を通る短絡用配線層17が形成されており、この短絡用配線層17によって第二の配線層14の分割された領域14a、14bを導通するように構成されている。

【0030】次に、上記した実施例の作用を、形成工程とともに説明する。

【0031】まず、図2(a)に示すように、フィールド酸化膜2に囲まれた半導体基板3の活性領域4の上にゲート絶縁膜5を介してゲート電極6を形成した後、ゲート電極6の両脇にイオン注入法を用いて不純物拡散層7、8を形成する。この上に、SiO<sub>2</sub>、PSG等よりなる第一の層間絶縁膜9を形成し、ついで、ゲート電極6の

上の領域にフォトリソグラフィ法により第一のコンタクトホール11を形成する。

【0032】さらに、不純物を含む多結晶シリコン膜を積層してこれをフォトリソグラフィ法によりパターニングし、これにより第一のコンタクトホール11内を通る第一の配線層10を形成する。なお、多結晶シリコン膜のかわりにポリサイド膜、アルミニウム合金膜などでもよい。

【0033】この後に、第二の層間絶縁膜12を積層し、そのうちの第一の配線層10の上に第二のコンタクトホール13を形成し、ついで、蒸着法によってアルミニウム膜18を全体に積層する。

【0034】次に、図2(b)に示すように、フォトレジスト19を塗布してこれを露光、現像し、第二のコンタクトホール13の周りを囲む環状の窓20を形成する。

【0035】この後に、窓20から露出したアルミニウム膜18を反応性イオンエッチング(RIE)法により除去して平面環状の溝21を形成すると(図2(c))、第二のコンタクトホール13内及びその周辺にあるアルミニウム膜18はその溝21によって他の領域から絶縁分離された状態となる。この場合、窓20を通してアルミニウム膜18が受けるイオンは僅かであり、ゲート電極6に到る電荷は少ない。

【0036】続いて、フォトレジスト19を酸素プラズマによって灰化すると、アルミニウム膜18がプラズマに曝されることになるが、第二のコンタクトホール13周辺のアルミニウム膜18は環状の溝21により他の領域から分離し、アンテナ比が小さくなっているために、ここから入る電荷の量も少なく、ゲート電極6の電荷量は僅かである。

【0037】次に、再びフォトレジスト22を塗布してこれを露光、現像し、第二のコンタクトホール13及びその周辺を含む配線領域をフォトレジスト22によって覆うとともに、その他の領域を露出させる(図3(d))。

【0038】この後に、フォトレジスト22から露出したアルミニウム膜18を、RIE法やプラズマエッチング法により除去するが、第二のコンタクトホール13に接続するアルミニウム膜18のアンテナ比が小さいため、そのイオンやプラズマによってコンタクトホール13に侵入する電荷量は少なく、ゲート絶縁膜5の劣化は殆ど生じない。

【0039】これによりパターニングされたアルミニウム膜18は第三の配線層14として使用される。この配線層14は、溝21により複数に分割されて未完成の状態となっているが、アンテナ比は小さくなる(図3(e))。

【0040】したがって、フォトレジスト22を酸素プラズマにより灰化したり、或いは、プラズマCVD法によって第三の配線層14の上にSiO<sub>2</sub>等よりなる第三の層間絶縁膜15を積層する際に、プラズマによるゲート絶

縁膜5の劣化は防止される。

【0041】次に、第二のコンタクトホール13と同様な形成方法によって、第三の層間絶縁膜15に第三、四のコンタクトホール16a、16bを形成する。これらのコンタクトホール16a、16bの形成位置は、第三の配線層14の分離された各領域14a、14bの上とする。

【0042】これに続いて、蒸着法によって第二のアルミニウム膜23を全体に形成した後に、この上にフォトレジスト24を塗布して、これを露光、現像し、隣設する2つの第三、四のコンタクトホール16a、16bを含む領域の周囲に環状の窓25を形成する(図4(g))。

【0043】そして、その窓25から露出した第二のアルミニウム膜23をRIE法等によりエッチングして環状の溝26を形成するが、この場合のアルミニウム23に照射されるイオンの量は少ない。

【0044】ついで、フォトレジスト24を酸素プラズマにより灰化するが、この工程においても、コンタクトホール16a、16bに繋がる第二のアルミニウム膜23の面積は狭く、アンテナ比が小さくなる。

【0045】この後に、図4(b)に示すように、環状の溝26に囲まれた領域だけを新たなフォトレジスト27により覆い、その他の領域をRIE法等によりエッチングして除去し、残存したアルミニウム膜23を短絡用配線層17として用いる。この結果、分割された第二の配線層14a、14bは、短絡用配線層17により導通されて完成されたことになり、また、ゲート電極6は第一の配線層10を介して第二の配線層17の全域と導通状態になる。

【0046】この後に、プラズマCVD法により絶縁膜を形成しても、短絡用配線層17の面積は小さいためにアンテナ比は小さく、プラズマに曝される量は少ない。

【0047】(b)本発明の第2実施例の説明

第1実施例と同じ構造の装置を形成する場合に、異なる工程を経ることもでき、次にその実施例を説明する。

【0048】第1実施例の工程では、第一及び第二のアルミニウム膜に、それぞれ環状の溝21、26を一旦形成してその後それぞれ第三の配線層14と短絡用配線層17のパターンに加工する方法をとったが、各1回のパターニングで配線層ないし短絡用配線層のパターンを形成するようにしてもよい。

【0049】即ち、まず前記形成工程と同様にして図6(a)に示すように、第一のアルミニウム膜18を全体に積層したものを形成する。

【0050】次に、図6(b)に示すように、フォトレジスト122を塗布してこれを露光、現像し、間隙123で分離された配線領域をフォトレジスト122によって覆うとともに、その他の領域を露出させる。

【0051】この後に、フォトレジスト122から露出したアルミニウム膜18をRIE法やプラズマエッチン

グ法により除去するが、露出部分が受けるイオンやプラズマの電荷が膜18を通じてウェハ周辺部へ逃げるため、その影響は小さい。

【0052】次に、図6(c)に示すように、アッシングによってフォトリソスト122を除去する。このアッシング以降は前記工程と同様にしてゲート酸化膜5の劣化は防止される。

【0053】つづいて、前記形成工程と同様にして図7(d)に示すように、層間絶縁膜15及びコンタクトホール16a、16bを形成する。

【0054】次に、図7(e)に示すように、第二のアルミニウム膜23を全体に形成後、フォトリソスト127を塗布、露光、現像し、複数のコンタクトホール16a、16bを一体的に覆う短絡配線用レジストパターンを形成する。

【0055】この後に、アルミニウム膜23をエッチングするが、アルミニウム膜18のエッチングの際と同様に、その影響は小さい。

【0056】次に、図7(f)に示すように、アッシングによってフォトリソスト127を除去する。

【0057】なお、第1、第2の実施例では第二の配線層14をコンタクトホール13の近傍の一箇所だけ分離する場合について説明したが、図7に示すように所望の領域で複数に分離して、分割された配線層27の各領域27c、27d、27eを、その上の複数の短絡用配線層17a、17b、17cにより導通させることもできる。

【0058】これにより、アンテナ比を十分に小さくでき、かつ集積度を犠牲にすることがなくなる。

【0059】(c) 本発明の第3実施例の説明  
上記した実施例は層間絶縁膜の上に形成する配線層を複数に分割する場合について説明したが、その分割を最上層の配線層に適用することもでき、次にこの実施例について説明する。

【0060】図8は、本発明の第2実施例装置を示す平面図であり、図10(g)はそのB-B線断面図である。

【0061】図において符号31は、半導体基板32を覆う絶縁膜33の上に形成された配線パッドである。

【0062】34は、絶縁膜33の上に配置された配線層で、この配線層34は配線パッド31の近傍で複数に分離されており、その一部の領域は配線パッド31と一体となっている。そして、分割された配線層34の各領域は、配線パッド31及び配線層34を覆う保護膜35の上の短絡用配線層36によって導通されている。

【0063】なお、符号37は、配線パッド31の上の保護膜35に形成された開口部、38は、開口部37から露出した配線パッド31を覆う導電膜を示している。

【0064】次に、この実施例の作用を製造工程とともに説明する。

【0065】図9、10は、本発明の第2実施例装置の

製造工程を示す断面図である。

【0066】まず、図9(a)に示すように、絶縁膜33の上に蒸着法によりアルミニウム膜40を積層した後、フォトリソスト41を塗布してからこれを露光・現像し、パッド形成領域及びこれと一体化する配線層形成領域を覆うとともに、配線層形成領域の一部を露出する窓43を形成する。

【0067】次に、フォトリソスト41から露出したアルミニウム膜40を燐酸含有液によりウェットエッチングすると、配線パッド31とこれに繋がる配線層34のパターンが形成される。この場合の配線層34は、窓43から露出した領域において切断され、切断用溝44が形成されることになる(図9(b))。

【0068】この後に、フォトリソスト41を溶剤により除去した後に、図9(c)に示すように、SiO<sub>2</sub>等よりなる保護膜35をプラズマCVD法により全体に積層する。この場合、配線パッド31は面積が大きく、プラズマに曝される量は多くなるが、これに接続された配線層34は切断用溝44によって電氣的に遮断されるために、アンテナ比が小さくなって内部回路に影響を与えることはない。

【0069】次に、図9(d)に示すように、フォトリソスト45を塗布してこれを露光、現像し、配線パッド31と配線層34の切断用溝44周辺を露出する窓46、47を形成する。そして、窓46、47から露出した保護膜35をRIE法、プラズマエッチング法等によって除去し、窓45、46の下に開口部37、39を形成した後に、フォトリソスト44を酸素プラズマにより灰化する(図10(e))。

【0070】ここで配線パッド31はエッチングの際にイオンやプラズマに曝され、また、レジスト灰化の際に酸素プラズマに曝されるが、配線層34の切断用溝44によってアンテナ比が小さくなり、内部回路への電荷の侵入が阻止される。

【0071】次に、第二のアルミニウム膜48を蒸着法により形成した後に、フォトリソスト49を塗布し、これを露光・現像して2つの開口部37、39を覆う(図10(f))。ついで、露出した領域のアルミニウム膜48をウェットエッチング法により除去した後に、フォトリソスト49を溶剤により除去する。

【0072】これにより、図10(g)に示すように、配線層34の切断用溝44の上に残されたアルミニウム膜47は短絡用配線層36として使用され、分割された配線層34を短絡用配線層36によって電氣的に接続する。

【0073】また、配線パッド31の上に残存したアルミニウム48を導電膜38として、この上にワイヤをボンディングする。

【0074】(d) 本発明の第4実施例の説明  
第3の実施例では、配線パッド31に繋がる配線層34

を覆う層間絶縁膜35に、配線層34の分割領域及び周辺を露出する1つの開口部39を形成しているが、図\*に示すように、分割された配線層34の各領域を個々に露出するコンタクトホール39a、39bを形成し、その間の切断用溝44を跨いで短絡用配線層36を形成して、分割された配線層34を接続してもよい。

【0075】なお、配線パッド31を露出する開口部37は、短絡用配線層36を形成し、全体を保護膜135で覆った後に形成することになる。

【0076】(e) 本発明のその他の実施例の説明  
上記した実施例では、直線状の配線層を複数に分割した場合について説明したが、図12(A)に示すように、複数に分岐する領域で配線層50を切断する場合には、分岐する領域及びその周辺を露出する1つの開口部51を層間絶縁膜(不図示)に形成し、この上に短絡用配線層52を形成することもできる。

【0077】また、図12(B)に示すように、配線層50aの分岐された各領域の上の層間絶縁膜の上に個々にコンタクトホール51aを形成し、これらの上に短絡用配線層52aを形成してもよい。

【0078】また、上記した実施例では、分岐した配線層を上から短絡する場合について説明したが、図13に示すように、開口部39aを形成する場合に配線層34の切断用溝44と大きさを一致させて、その開口部39a内に形成する短絡用配線層36を配線層34の側部に接触させるようにしてもよい。

【0079】さらに、第1実施例において、配線層14の分割領域を広くすると、配線層34を覆う層間絶縁膜15はその領域で窪むことになり、凹凸発生の原因となる。

【0080】そこで、図14に示すように、配線層14の分割領域に、導電膜14cを絶縁状態で存在させることもでき、これによれば、導電膜14cによって層間絶縁膜15及び短絡用配線層17が持ち上げられて平坦化されることになる。この場合の導電膜14cには電流を流さないようにする。

【0081】また、上記した実施例では、分割した配線層14、34を短絡用配線層17、36により接続する場合に、配線層14、34の上に層間絶縁膜を一層形成し、この後に溝21、39及び短絡用配線層17、36を形成したが、配線層14、34の上に絶縁膜を複数層形成した後に、開口部及び短絡用配線層を形成することも可能である。

【0082】さらに、配線層を同一平面で複数平行に形成する場合には、図15(A)、(B)に示すように、分割する位置を互いにずらしておくと、配線ピッチを変えずに充分な幅の接続パターンを形成できる。

【0083】なお、図15(A)において、符号53~55は、平行に設けた配線層、53a~55aは、配線層53~55の分割領域を露出する開口部を示している。

同図(B)において、56~58は、平行に形成した配線層、56a~58a、56b~58bは、分割された配線層の各領域に形成されたコンタクトホール、56c~58cは分割された配線層を接続する配線を示している。

【0084】また、第1実施例では、分割された配線層の各領域の上に、コンタクトホールを1つずつ形成したが、これを複数形成することで、接触領域の電流密度を低減でき、マイグレーション等の対策が施せる。

10 【0085】また、第1実施例では、短絡用配線層を短絡のみに使用したが、他の配線パターンを共用することもできる。

【0086】なお、分割領域を多く設けるとアンテナ比は減少するが、接続構造によって配線の占める面積が増大して集積度が低下する場合があるので、使用するプラズマ/イオンプロセス、ゲート絶縁膜の膜厚、膜質などによって最適化するとよい。

20 【0087】また、上記配線構造を有する半導体装置の製造工程において、最上層の配線形成とボンディング窓の開口の少なくとも一部を湿式ないしラジカル処理を適宜調整すると、さらにゲート絶縁膜の劣化ないし破壊を防止できる。

【0088】なお、上述の実施例では2つのMOSトランジスタが形成された半導体装置について述べたが、MOSトランジスタの数は2つに限るものではないことは言うまでもない。

【0089】

30 【発明の効果】以上述べたように第1の発明によれば、分割された配線層を、その上の層に形成される短絡用配線層によって接続するようにしているので、その配線層のうちアンテナ比に寄与する領域はゲート電極に繋がっている部分だけとなり、この層におけるプラズマ/イオン処理の際にゲート電極に入り込む電荷量は少なくなり、ゲート絶縁膜の劣化や絶縁破壊を抑制することができる。

40 【0090】この場合、配線層の上に形成する短絡用配線層は、分割された配線層を繋ぐだけであって、その面積を狭くしてアンテナ比を小さくすることが可能になり、その面上におけるプラズマ/イオン処理による影響は少なくできる。

【0091】また、第2の発明によれば、複数の配線層を介してゲート電極と所定の配線層とを接続するようにしているために、アンテナ比をさらに小さくすることができる。

【0092】また、第3の発明によれば、パッドに接続される最上層の配線層を分割しているために、広い面積のパッドによるアンテナ比は小さくなって、プラズマ/イオン処理によるゲート絶縁膜の劣化、絶縁破壊を抑制することができる。

50 【0093】また、第4の発明によれば、配線層を複数



11

に分割し、その上層に設けた短絡用配線によって接続するようにしているために、複数のトランジスタに繋がる配線層を形成する場合に、各トランジスタのアンテナ比を小さくすることができる。

【0094】第5の発明によれば、平行に形成された配線層の分割領域が隣接しないようにしているために、短絡配線相互の間隔を広くとれることになり、平行配線層の間隔の拡大が防止できる。

【図面の簡単な説明】

【図1】本発明の第1実施例装置を示す平面図である。

【図2】本発明の第1実施例装置の製造工程を示す断面図（その1）である。

【図3】本発明の第1実施例装置の製造工程を示す断面図（その2）である。

【図4】本発明の第1実施例装置の製造工程を示す断面図（その3）である。

【図5】本発明の第2実施例装置の製造工程を示す断面図（その1）である。

【図6】本発明の第2実施例装置の製造工程を示す断面図（その2）である。

【図7】本発明の第1実施例装置の他の領域を示す平面図である。

【図8】本発明の第3実施例装置を示す平面図である。

【図9】本発明の第3実施例装置の製造工程を示す断面図（その1）である。

【図10】本発明の第3実施例装置の製造工程を示す断面図（その2）である。

【図11】本発明の第4実施例装置を示す平面図及び断面図である。

【図12】本発明の第5実施例装置を示す平面図であ

(7)

(7)

12

【図13】本発明の第6実施例装置を示す断面図である。

【図14】本発明の第7実施例装置を示す断面図である。

【図15】本発明の第8実施例装置を示す平面図である。

【図16】従来装置の第1例を示す平面図及びそのX-X線断面図である。

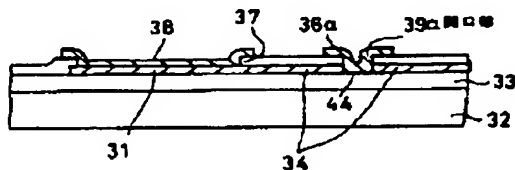
【図17】従来装置の第2例を示す平面図及びそのY-Y線断面図である。

【符号の説明】

- 1 MOSトランジスタ
- 2 フィールド酸化膜
- 3 半導体基板
- 4 活性領域
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7、8 不純物拡散層
- 9、12、15 層間絶縁膜
- 10、14 配線層
- 11、13 コンタクトホール
- 17 短絡用配線層
- 21、26 溝
- 31 配線パッド
- 32 半導体基板
- 33 絶縁膜
- 34 配線層
- 35 保護膜
- 36 短絡用配線層
- 37 開口部
- 44 切断用溝

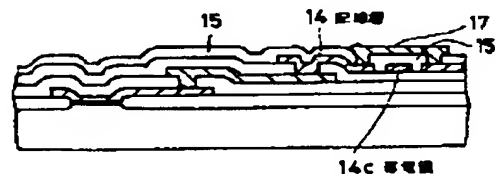
【図13】

本発明の第6実施例装置を示す断面図



【図14】

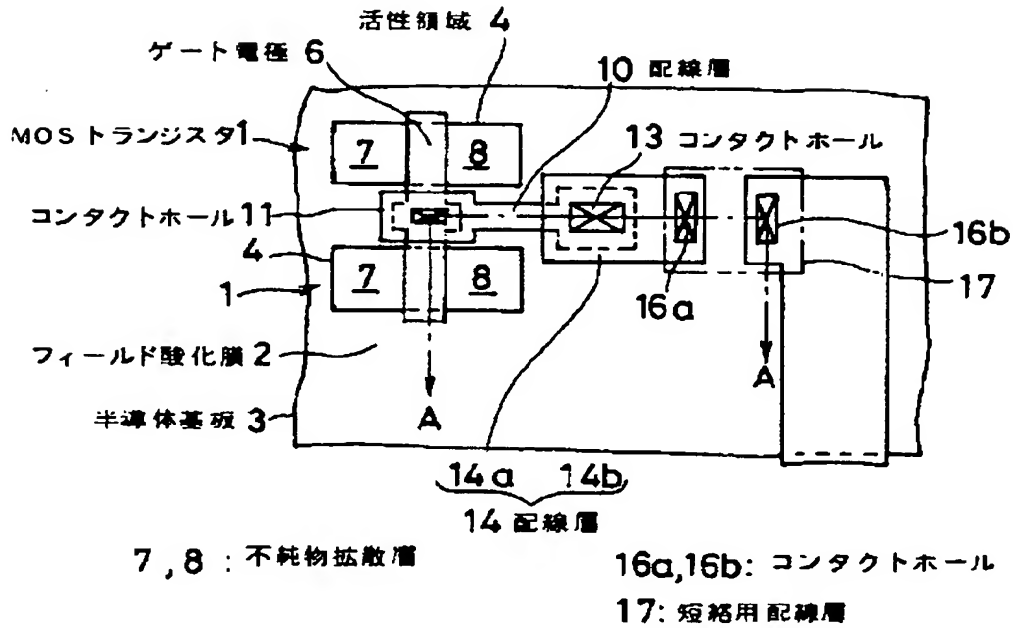
本発明の第7実施例装置を示す断面図





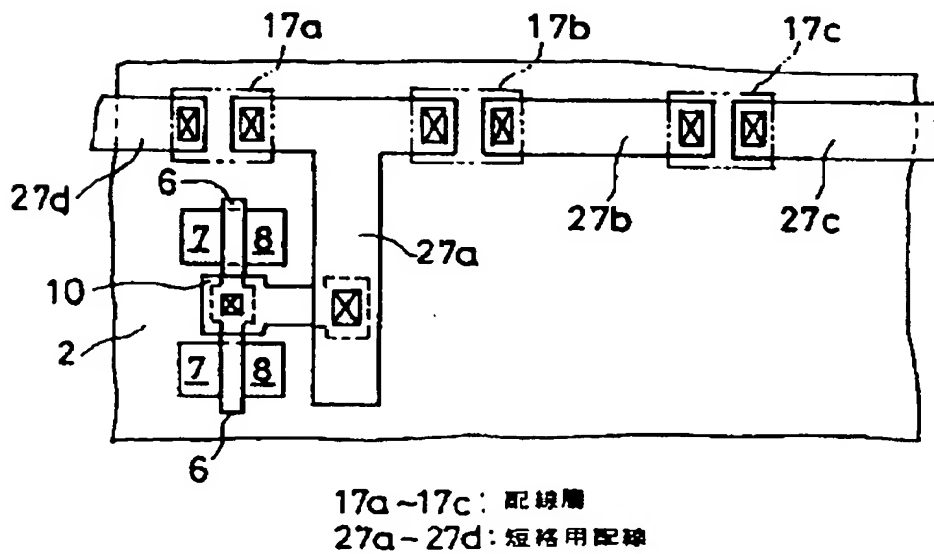
【図1】

本発明の第1実施例装置を示す平面図



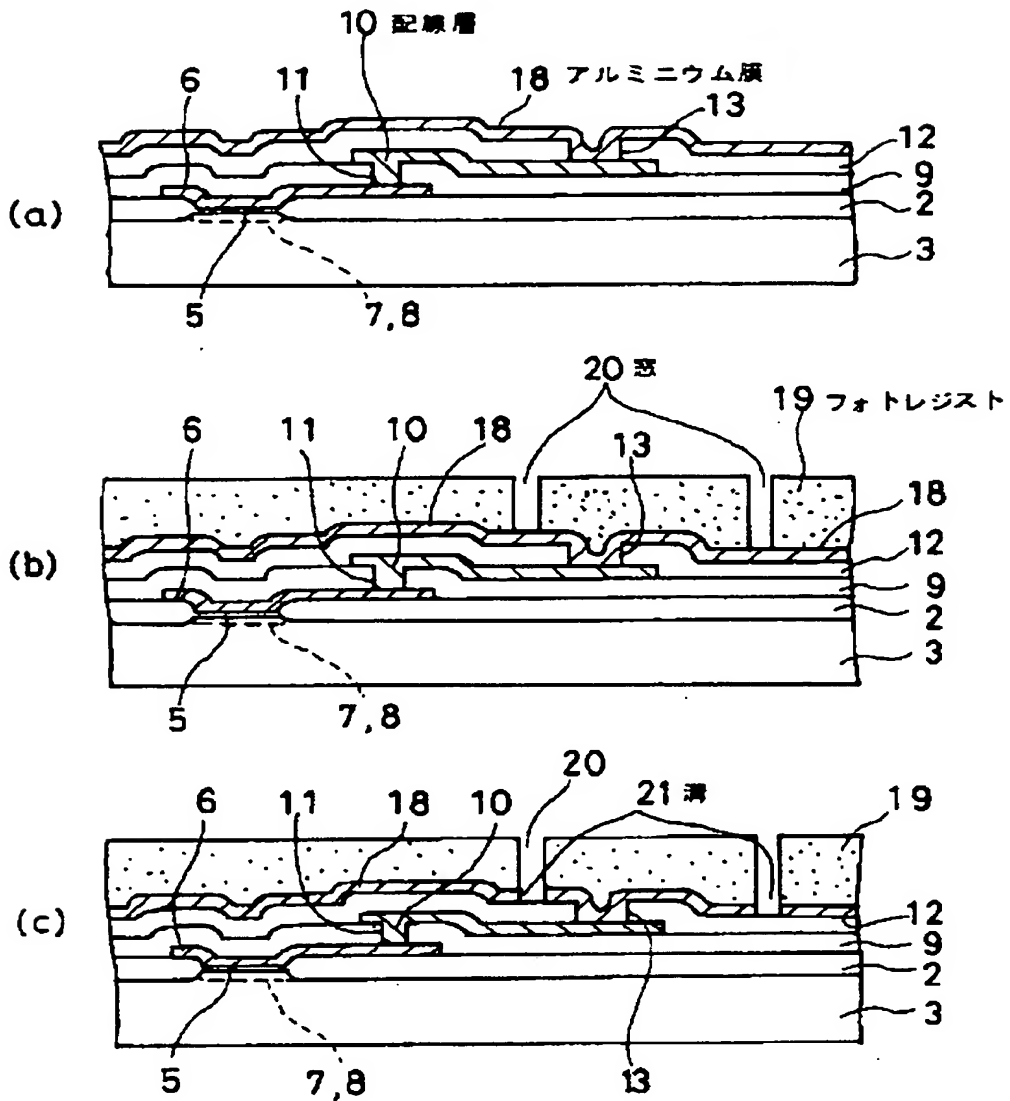
【図7】

本発明の第2実施例装置の他の領域を示す平面図



【図2】

本発明の第1実施例装置の製造工程を示す断面図（その1）



5: ゲート絶縁膜

9,12,15: 層間絶縁膜

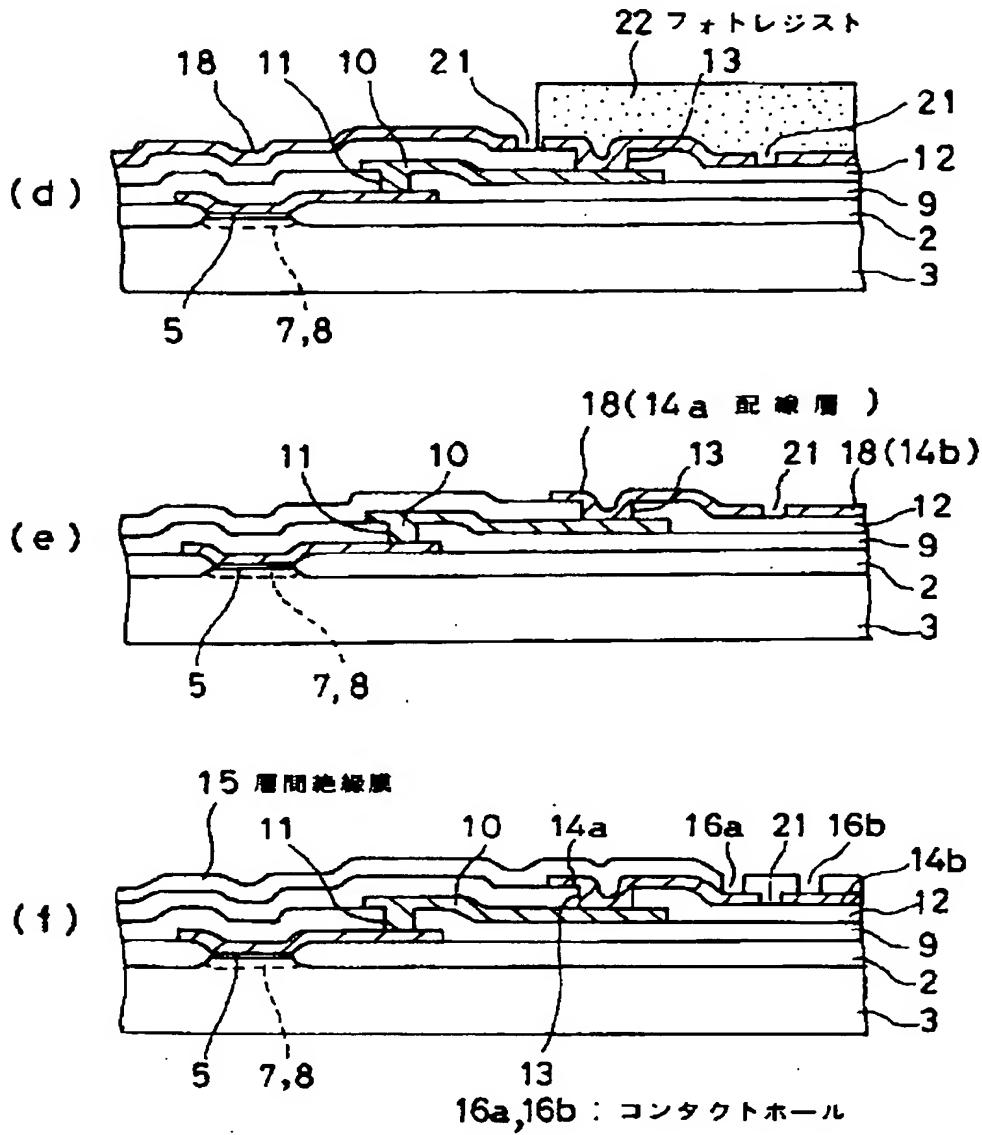
6: ゲート電極

11 13 16a 16b: コンタクトホール

7,8: 不純物拡散層

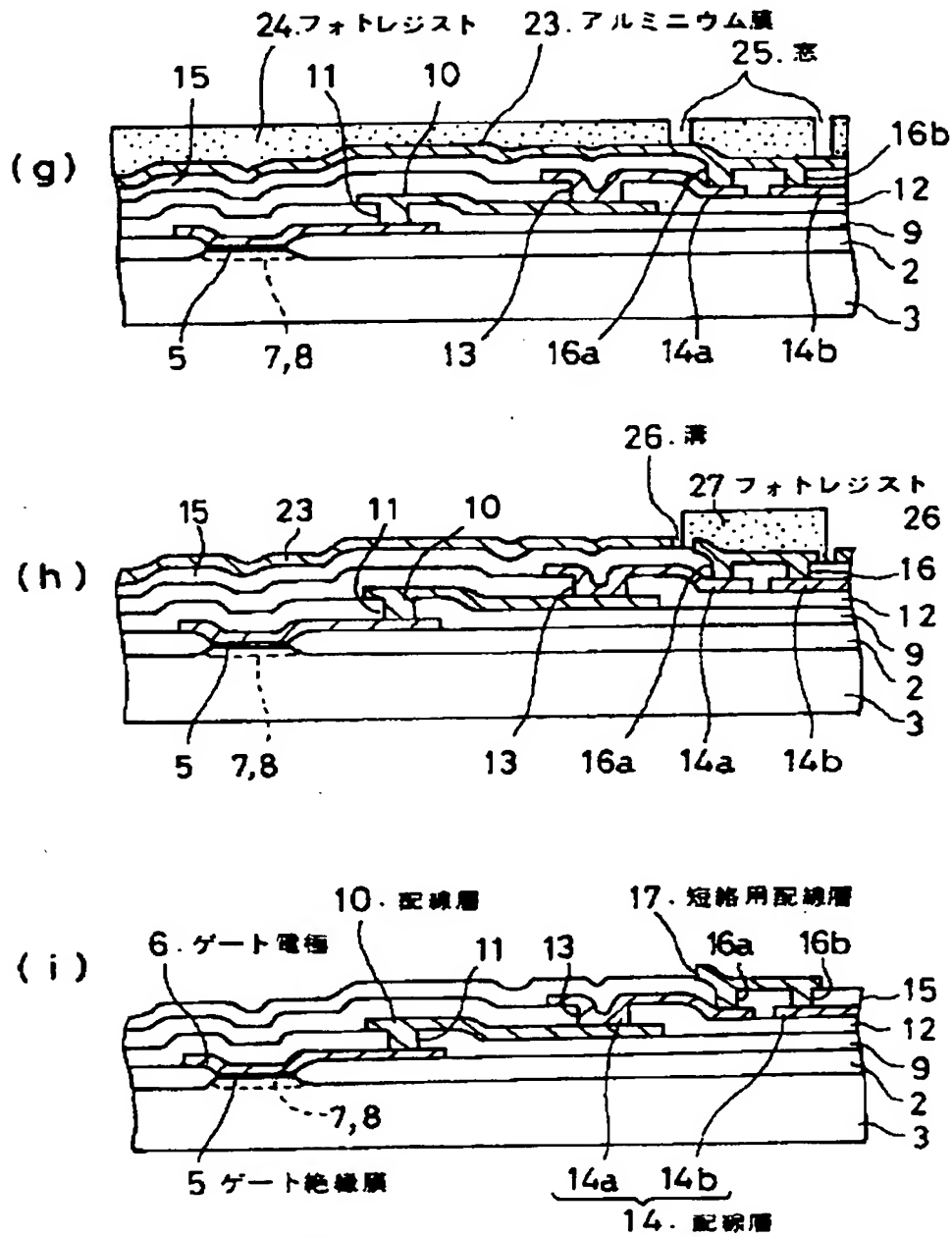
【図 3】

本発明の第 1 実施例装置の製造工程を示す断面図（その 2）



【図4】

本発明の第1実施例装置の製造工程を示す断面図（その3）

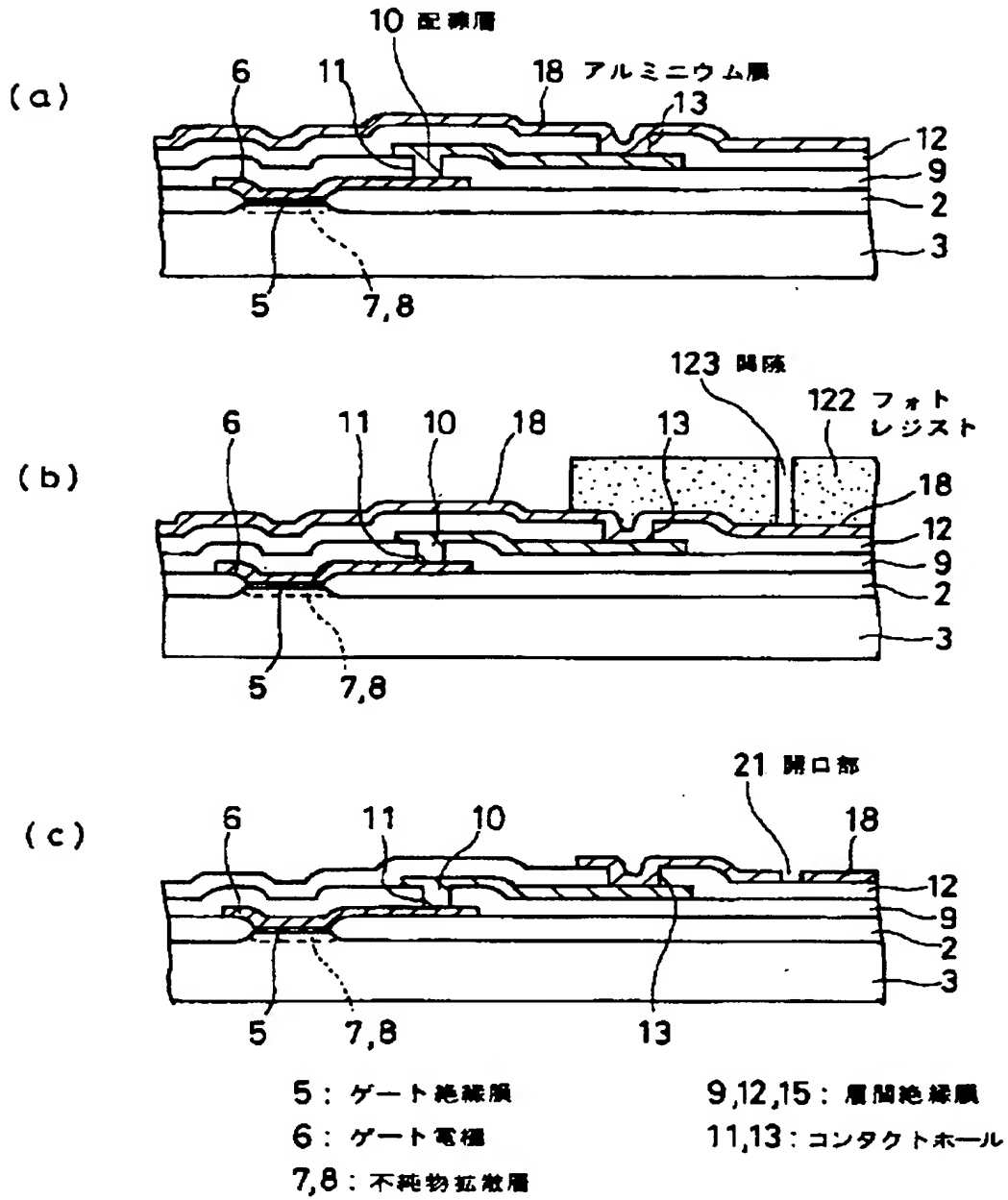


11,13,16a,16b: コンタクトホール

9,12,15: 層間絶縁膜

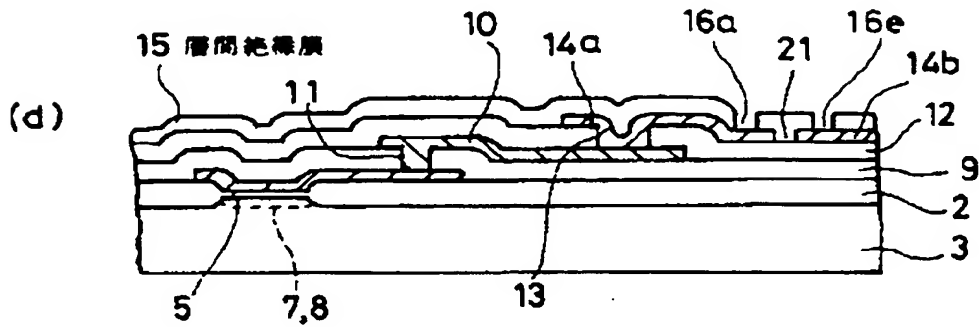
【図5】

本発明の第2実施例装置の製造工程を示す断面図（その1）

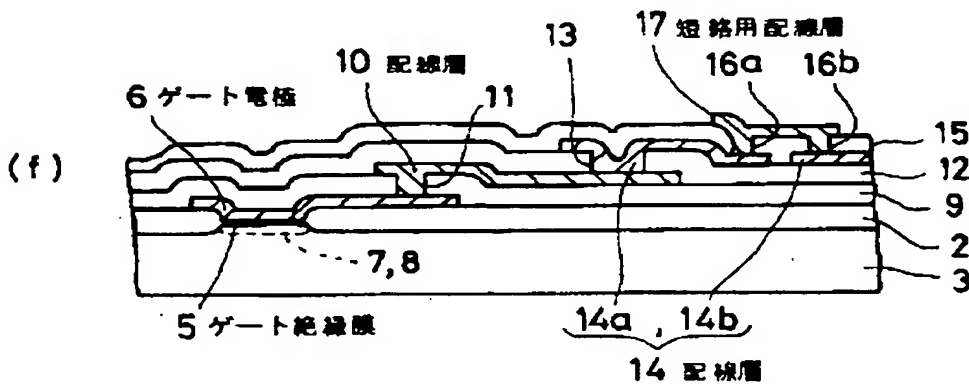
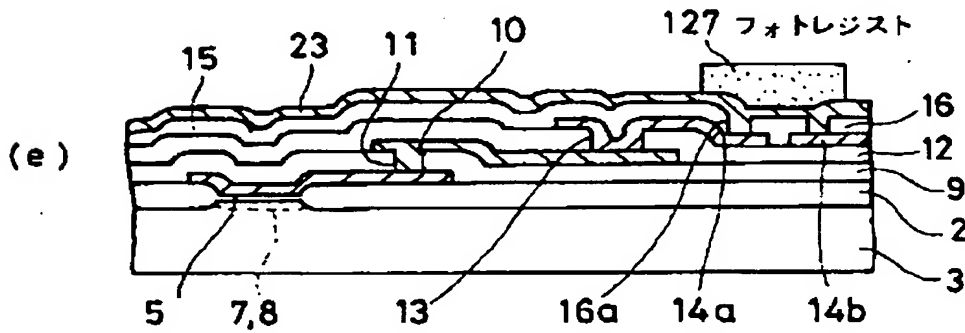


【図6】

本発明の第2実施例装置の製造工程を示す断面図（その2）



16a, 16b ; コンタクトホール

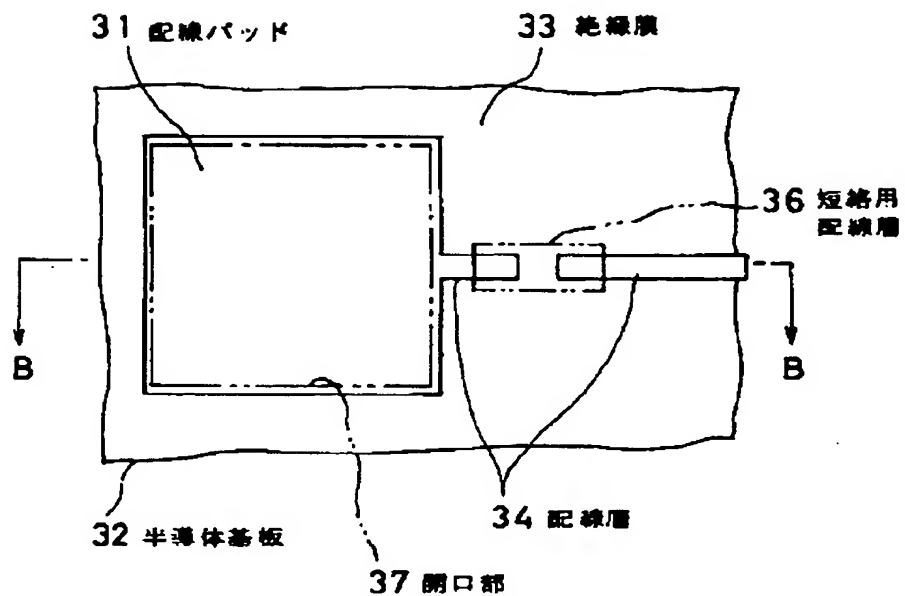


11, 13, 16a, 16b ; コンタクトホール

9, 12, 15 ; 層間絶縁膜

【図8】

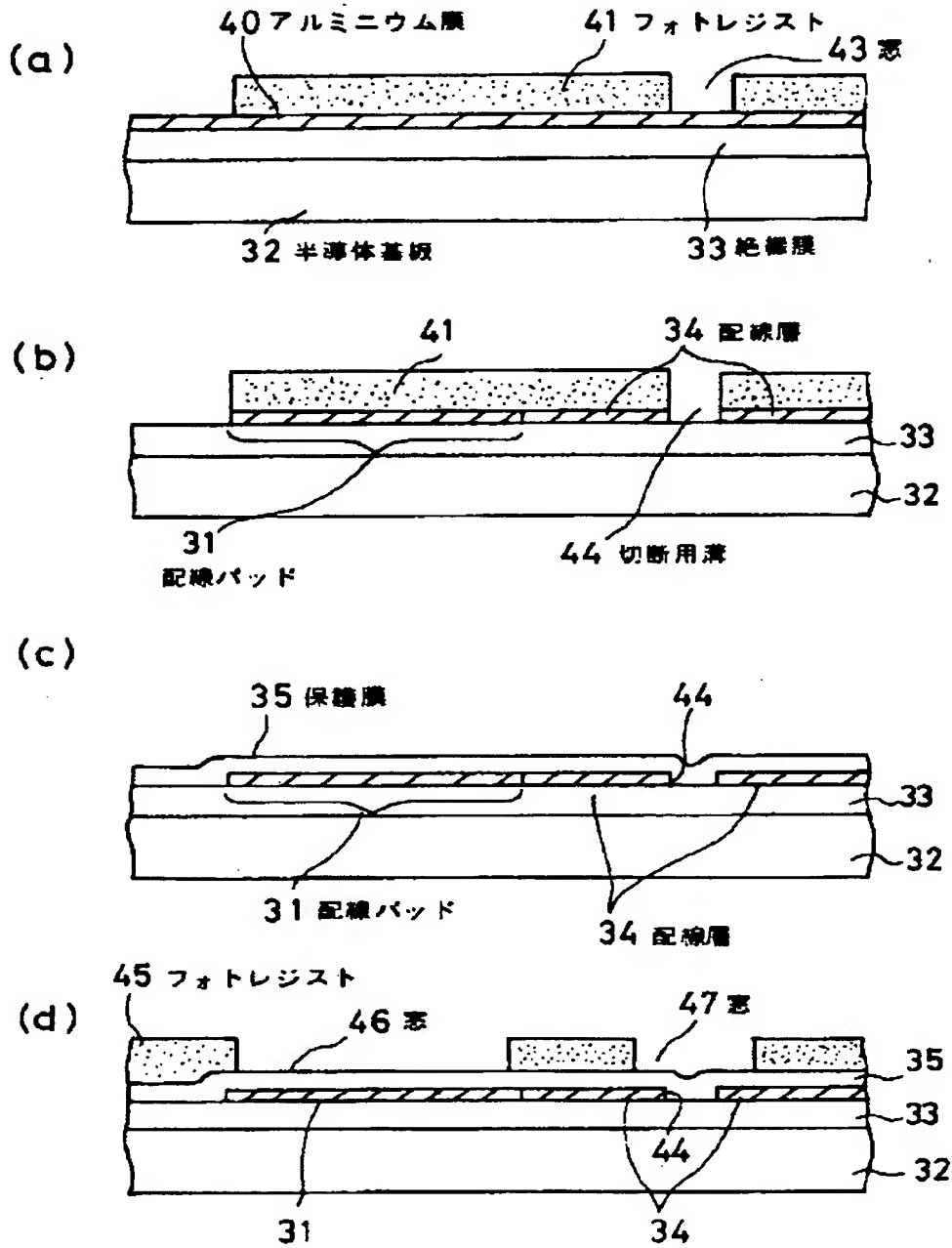
本発明の第3実施例装置を示す平面図





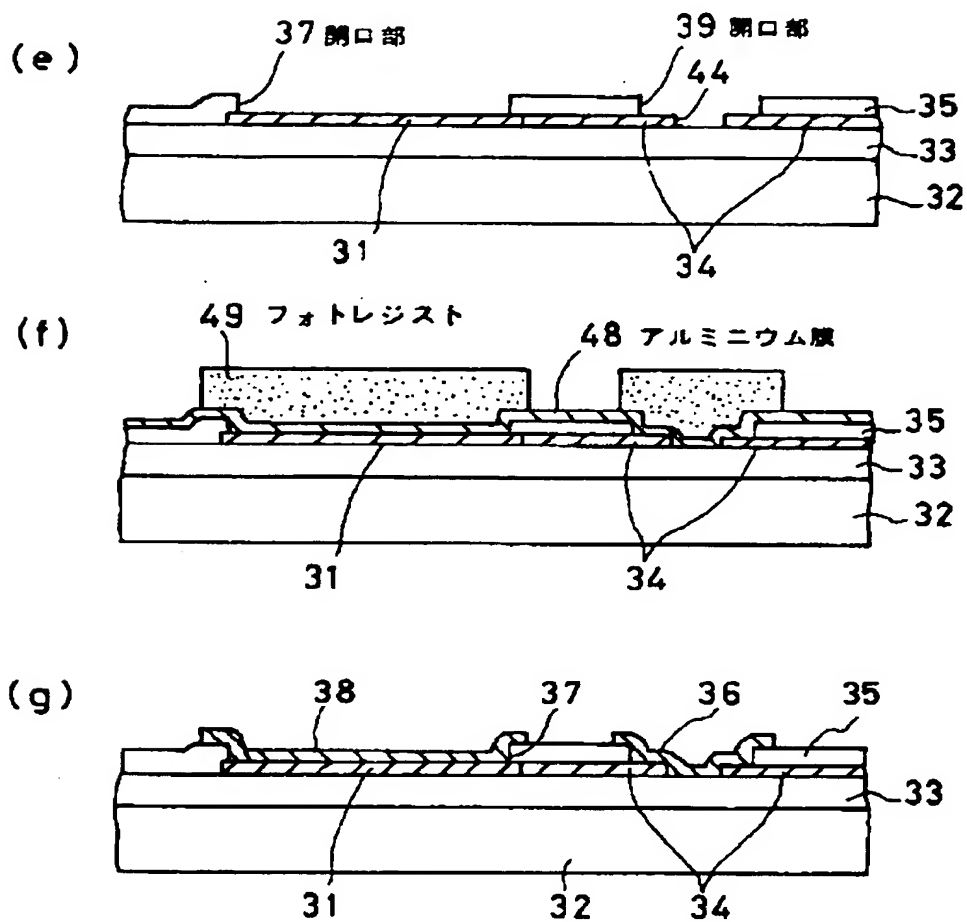
【図9】

本発明の第3実施例装置の製造工程を示す断面図（その1）



【図10】

本発明の第3実施例装置の製造工程を示す断面図（その2）



31: 配線パッド

32: 半導体基板

33: 絶縁膜

34: 配線層

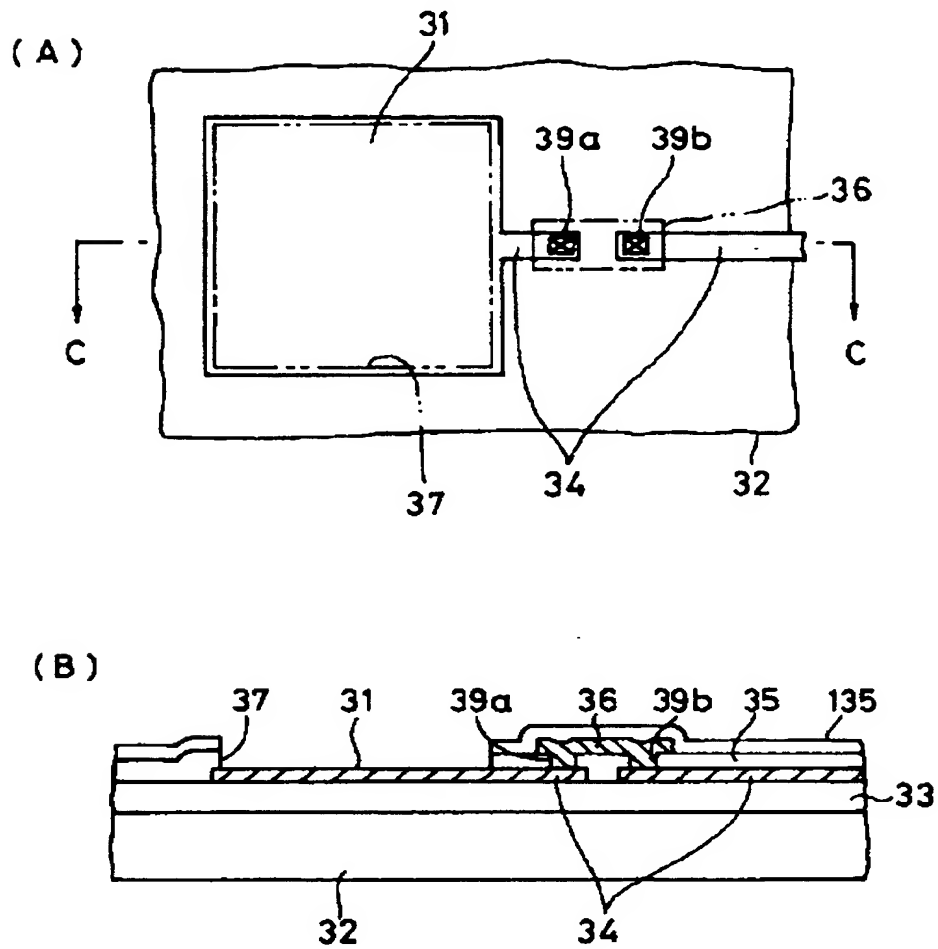
35: 保護膜

36: 短絡用配線層

37: 開口部

【図11】

本発明の第4実施例装置を示す平面図及び断面図

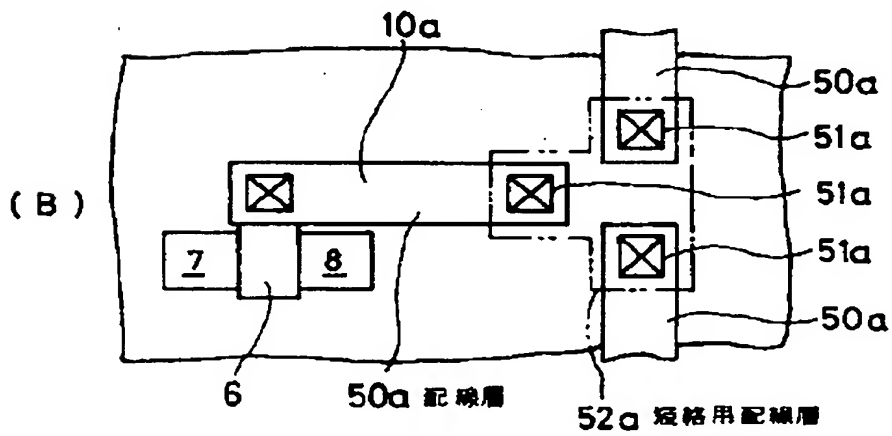
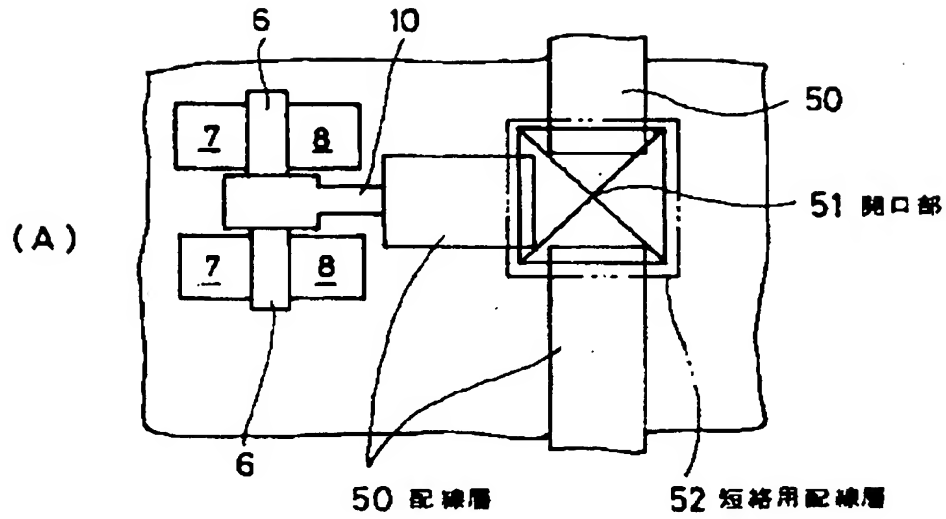


39a, 39b: コンタクトホール

135: 保護膜

【図12】

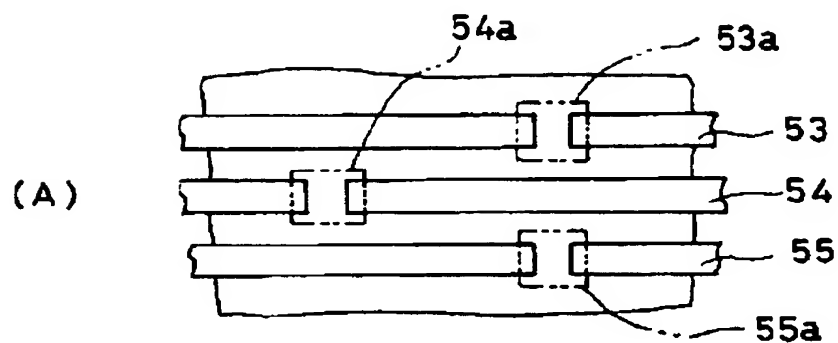
本発明の第5実施例装置を示す平面図



51a: コンタクトホール

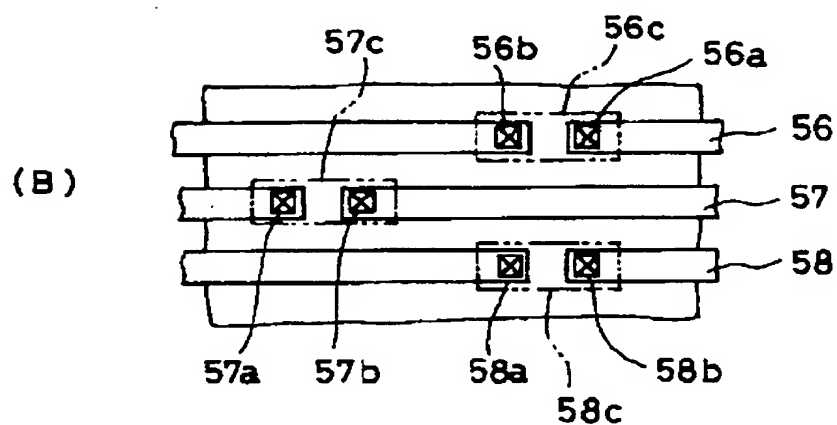
【図15】

本発明の第8実施例装置を示す平面図



53, 54, 55 : 配線層

53a, 54a, 55a : 開口部



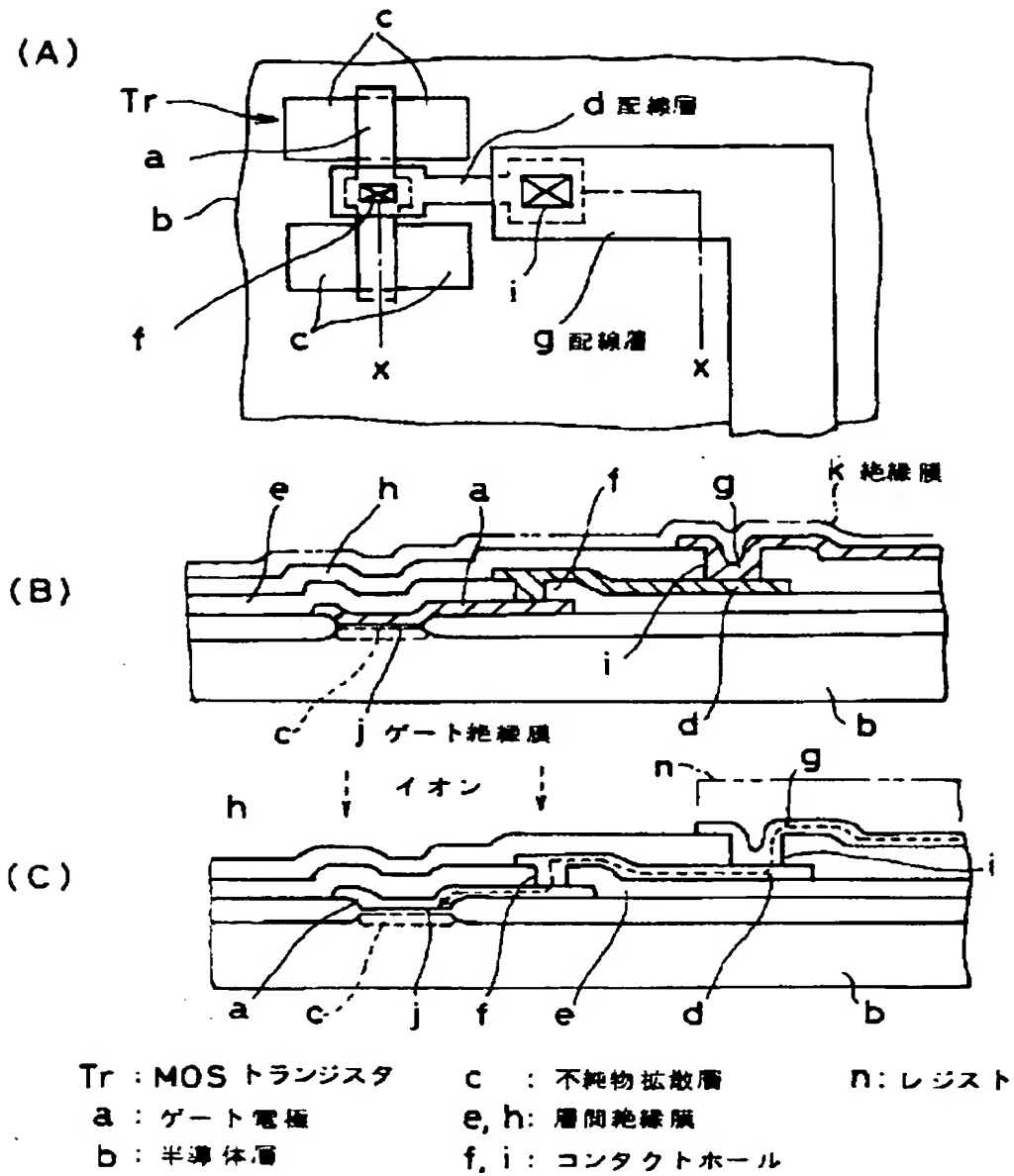
56, 57, 58 : 配線層

56a, 57a, 58a } コンタクトホール  
56b, 57b, 58b }

56c, 57c, 58c : 接続配線

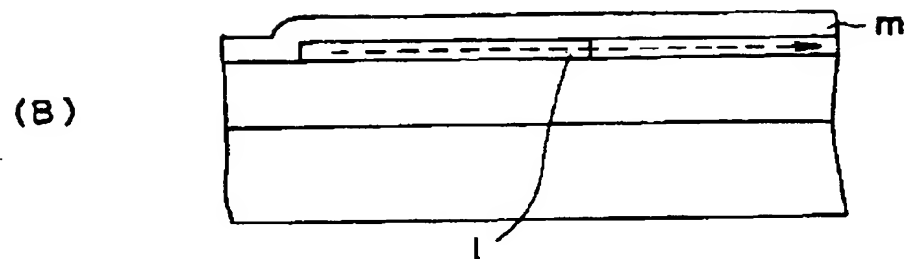
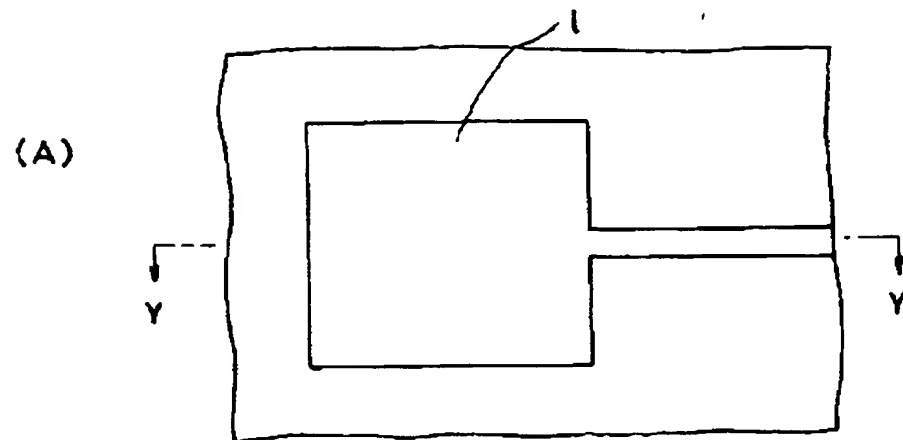
【図16】

従来装置の第1例を示す平面及びそのX-X線断面図



【図17】

従来装置の第2例を示す平面図及びそのY-Y線断面図



l : 配線パッド

m : パッシベーション膜

フロントページの続き

(51) Int. Cl. <sup>3</sup>

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所